

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁷ : G06F 12/08		(11) Internationale Veröffentlichungsnummer: WO 00/52582
A1		(43) Internationales Veröffentlichungsdatum: 8. September 2000 (08.09.00)
(21) Internationales Aktenzeichen: PCT/DE00/00285 (22) Internationales Anmeldedatum: 1. Februar 2000 (01.02.00) (30) Prioritätsdaten: 199 08 415.7 26. Februar 1999 (26.02.99) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): FUJITSU SIEMENS COMPUTERS GMBH [DE/DE]; Otto-Hahn-Ring 6, D-81739 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): STOEISS, Annie [FR/DE]; Adlfurt 8, D-83043 Bad Aibling (DE). SCHACHTNER, Johann [DE/DE]; Oedenstockacherstrasse 1, D-85640 Putzbrunn (DE). ZIEMANN, Wolfgang [DE/DE]; Tulpenweg 3, D-85635 Höhenkirchen-Siegertsbrunn (DE). (74) Anwalt: EPPING, Wilhel; Epping, Hermann, Fischer, Ridlerstrasse 55, D-80339 München (DE).		(81) Bestimmungsstaaten: CN, JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht Mit internationalem Recherchenbericht.

(54) Title: DEVICE FOR INCREASING THE CAPACITY OF PROCESSOR SYSTEMS

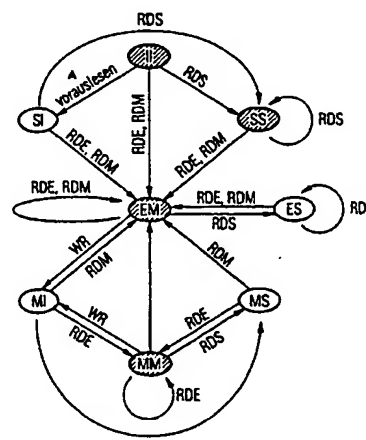
(54) Bezeichnung: EINRICHTUNG ZUR ERHÖHUNG DER LEISTUNGSFÄHIGKEIT VON PROZESSORSYSTEMEN

(57) Abstract

The aim of the invention is to increase the capacity of processor systems consisting of a large number of individual processors using the MESI state model to maintain the cache coherence inside the processor system. To this end, more states are added to the MESI state model, which is otherwise limited to four states. In this way, the state situations inside the processor system can be handled in a more differentiated manner and unnecessary bus accesses can be avoided. The processing capacity which comes available as a result can be used to increase the capacity of the system.

(57) Zusammenfassung

Zur Erhöhung der Leistungsfähigkeit von Prozessorsystemen bestehend aus einer großen Zahl von Einzelprozessoren, das zur Aufrechterhaltung der Cachekohärenz innerhalb des Prozessorsystems sich des MESI-Zustandsmodells bedient, wird vorgeschlagen, das an sich auf vier Zustände begrenzte MESI-Zustandsmodell mit weiteren Zuständen zu erweitern. Die Zustandssituationen innerhalb des Prozessorsystems können auf diese Weise differenzierter behandelt und unnötige Buszugriffe vermieden werden. Die freiwerdende Bearbeitungskapazität kann zur Leistungssteigerung des Systems genutzt werden.



B	C	RDS	D		
Zustand	TLC-Zustand	SLC-Zustand	Cmd	Aktion / Action	
II	I	I	vorauslesen A	TLC: I => S	
SI	S	I	RDS	SLC: I => S	
SS	S	I, S	RDE	SLC: I, S => E	
ES	E	I, S	RDM	SLC: I, S => M	
EM	E	I, S, E, M	WR	SLC: M => I	
MI	M	I			
MS	M	I, S		TLC-Befehl	
MM	M	I, S, E, M		notwendig E	

A - ADVANCE READ
B - STATE
C - TLC STATE
D - SLC STATE
E - TLC COMMAND NECESSARY

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland			TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	MX	Mexiko		
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun			PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

Beschreibung

Einrichtung zur Erhöhung der Leistungsfähigkeit von Prozessorsystemen

5

Die Erfindung betrifft eine Einrichtung zur Erhöhung der Leistungsfähigkeit von Prozessorsystemen gemäß dem Oberbegriff des Anspruchs 1.

- 10 Große Server bestehen aus einem Prozessorsystem mit einer großen Anzahl von Einzelprozessoren. Die Anzahl der Einzelprozessoren beträgt beispielsweise 16, 32, 64, 128 u.s.w.. solche Server sind als UNIX- oder als NT-Systeme bekannt. Die Einzelprozessoren haben heute meistens einen Cachespeicher
- 15 bereits im Chip. Es wird daher auch von einem sogenannten On-Chip First Level Cachespeicher beziehungsweise von einem First Level Cachespeicher gesprochen. Den Einzelprozessoren können daneben außerhalb des Chips noch weitere Cachespeicher zugeordnet sein. Bei einem ersten weiteren solchen Cachespeicher
- 20 wird dann von einem sogenannten Off-Chip Second Level Cachespeicher beziehungsweise von einem Second Level Cachespeicher gesprochen. Neben den First und Second Level Cachespeichern können zusätzliche Cachespeicher vorgesehen sein, die dann beispielsweise als Third Level Cachespeicher
- 25 bezeichnet werden.

- Die zusätzlichen Cachespeicher sind insbesondere verwendet, um jeweils einzeln oder gruppenweise Einzelprozessoren zu einem Cluster zusammenfassen. Heutige Standardprozessoren er-
- 30 lauben nur den Ausbau von jeweils bis zu vier Einzelprozessoren. Werden mehrere solche zusätzlichen Cachespeicher mit zum Beispiel jeweils vier Einzelprozessoren vorgesehen, können die oben erwähnten großen Prozessorsysteme aufgebaut werden. Die einzelnen zusätzlichen Cachespeicher müssen dabei
- 35 cachekohärent miteinander verkoppelt sein. Die Verkopplung könnte Hierarchieabstufungen beinhalten, in denen nicht nur jeweils vier Einzelprozessoren, sondern jeweils auch mehrere

zusätzliche Cachespeicher miteinander verkoppelt werden. Als Ergebnis wird ein Prozessorsystem mit einer großen Anzahl von Einzelprozessoren erhalten, das eine große Leistungsfähigkeit hat.

5

Wie oben angesprochen, muss sich ein Prozessorsystem cachekohärent verhalten. Hierzu ist es möglich, die Bustransaktionen zu beobachten und zu interpretieren. Aus der Analyse der Bustransaktionen kann geschlossen werden, in welchen Zustandssituationen sich die Cachedatenblöcke der von der Bustransaktion betroffenen Cachespeicher befinden. Ist bekannt, in welchen Zustandssituationen sich die Cachedatenblöcke befinden, kann dafür gesorgt werden, dass innerhalb des Prozessorsystems Cachekohärenz hergestellt bzw. aufrechterhalten wird.

15

Die Beschreibung der Zustände der Cachedatenblöcke kann mittels eines Cache-Protokolls erfolgen. Ein bekanntes Cache-Protokoll folgt dem sogenannten MESI-Standard. Gemäß dem MESI-Standard wird den einzelnen Cachedatenblöcken einer von vier vordefinierten MESI-Zuständen zugeordnet. Die vier vordefinierten MESI-Zustände sind: MODIFIED (M), EXCLUSIVE (E), SHARED (S) und INVALID (I). Diese Zustände sind mit zwei MESI-Bits kodiert darstellbar.

25

MODIFIED bedeutet, dass der zugehörige Cachespeicherblock exklusiv im Cachespeicher enthalten ist, aber neu geschrieben worden ist. Er ist aktuell nicht im übrigen Prozessorsystem bekannt. EXCLUSIVE bedeutet, dass der zugehörige Cachespeicherblock nicht verändert ist. Er stimmt mit dem Inhalt des System-Hauptspeichers überein. SHARED bedeutet, dass sich der zugehörige Cachespeicherblock noch in einem weiteren Cachespeicher befindet und noch gültig ist. INVALID bedeutet, dass der zugehörige Cachespeicherblock ungültig oder nicht im TAG-RAM des Speichers vorhanden ist.

35

Der Zustand eines Cachespeicherblocks kann durch einen jeweilig zugeordneten Einzelprozessor über einen Lese- und Schreibvorgang abgeändert werden. Der Zustand kann auch durch ein systeminternes Abfragen, auch als Snooping bekannt, abgeändert werden. Er kann ebenso von externen Logikeinheiten, z.B. einem anderen Einzelprozessor oder einem Second Level Cachespeicher, d.h. durch ein externes Snooping, abgeändert werden. In jedem Fall befindet sich zu jedem Zeitpunkt ein jeweiliger Cachespeicherblock nur in einem der vier genannten MESI-Zustände.

Eine genauere Funktionsbeschreibung des MESI-Protokolls ist beispielsweise im Internet unter der Internetadresse: <http://www.altavista.com/egi-bin/query?pg=q&kl=de&q=MESI&search=Search>, Punkt 1, "Pentium: Neuerungen in der x86 Architektur", zuletzt geändert am 28.3.1997 bzw. in der dazugehörigen Schrift im Internet mit der Internetadresse: <http://plweb.htu.tuwien.ac.at/pentium>, Punkt 2.7.1 M.E.S.I.-Protokoll offenbart.

Eine Möglichkeit, die Cachekohärenz in einem Prozessorsystem mit zusätzlichen Cachespeichern zu gewährleisten ist, sicherzustellen, dass die zusätzlichen Cachespeicher eine Obermenge aller Cachedatenblöcke der mit ihnen direkt in Verbindung stehenden anderen Cachespeicher haben. Dazu ist es erforderlich, dass bei allen Verdrängungsvorgängen eine Update-Anforderung zum Beispiel an einen angeschlossenen Einzelprozessor bzw. dessen Cachespeicher gerichtet und ein vom Verdrängungsvorgang betroffener Cachespeicherblock zurückgefordert wird. Für derartige Update-Anforderungen bzw. deren Abarbeitung ist eine Systemleistung erforderlich, die einem Anwender nicht als Nutzleistung zur Verfügung steht. Die Leistungsfähigkeit des Gesamtsystems ist daher eingeschränkt.

Aufgabe der vorliegenden Erfindung ist es daher, technische Maßnahmen anzugeben, durch die die Leistungsfähigkeit insbesondere eines großen Prozessorsystems erhöht wird.

Diese Aufgabe wird erfindungsgemäß durch eine Einrichtung im Prozessorsystem gelöst, die die Merkmale des Anspruchs 1 aufweist.

5

Danach haben die zusätzlichen Cachespeicher nicht nur eine einfache Cachespeicherblock-Verwaltung über die Zustände M, E, S und I realisiert, sondern es ist eine kombinierte Zustandsverwaltung zwischen jeweiligen zusätzlichen Cachespeichern bzw. den Cachespeichern der Einzelprozessoren realisiert. Diese kombinierte Zustandsverwaltung zeigt sich in der Erweiterung der MESI-Zustände des Cache-Protokolls der zusätzlichen Cachespeicher. Der Vorteil ist, dass eine erhöhte Anzahl von Update-Anforderungen (Requests) in Richtung andere Stellen im Prozessorsystem eingespart werden können, da auf Grund der erweiterten MESI-Zustände vorab entschieden werden kann, dass betreffende angeforderte Cachedatenblöcke nicht an den anderen Stellen im Prozessorsystem sein können. Der Leistungsaufwand, der für diese Update-Anforderungen bisher benötigt wurde, steht daher jetzt dem Prozessorsystem als Nutzleistung zur Verfügung. Die Leistungsfähigkeit des Prozessorsystems ist somit erhöht.

Zu einer Erhöhung der Leistungsfähigkeit des Prozessorsystems trägt außerdem der Umstand bei, dass auf Grund der erweiterten MESI-Zustände nochmals einige Fälle unterschieden werden können, in denen zwar Handlungen nötig sind, die aber insgesamt schneller erfüllt werden können. Beispielsweise gibt es Fälle, in denen zwar auf Grund einer vorausgehenden Update-Anforderung von einem Teil des Prozessorsystems an einen zusätzlichen Cachespeicher eine vom zusätzlichen Cachespeicher durchgeführte nachfolgende Update-Anforderung an niedrigere Cachehierarchien notwendig ist. Beispielsweise um zu erreichen, dass ein betreffender Cachespeicherblock den MESI-Zustand I zugewiesen bekommt. In den besagten Fällen kann aber auf Grund des vorliegenden erweiterten MESI-Zustands bekannt sein, dass vom betreffenden Cachespeicherblock

nicht vorher noch modifizierte Daten zu übertragen sind. In diesen Fällen beispielsweise kann der zusätzliche Cachespeicher dem die vorausgegangene Update-Anforderung initiiierenden Teil des Prozessorsystems sofort mitteilen, dass die besagte
5 MESI-Zuweisung erfolgt ist, obwohl diese Zuweisung vom zusätzlichen Cachespeicher tatsächlich erst in einer anschließenden Maßnahme veranlasst wird. Das Prozessorsystem braucht daher nicht bis zur Bestätigung des tatsächlichen Endes der Update-Anforderung warten, sondern kann sofort mit
10 nächsten Aufgaben beginnen.

Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand von Unteransprüchen.

15 Danach ist ein Prozessorsystem bezüglich seiner Cachespeicherstruktur hierarchisch gegliedert, um durch Abfangen von Update-Anforderungen bereits an möglichst hohen Hierarchieebenen ein Maximum an eingesparten Update-Anforderungen in Richtung darunter liegender Hierarchieebenen zu erhalten.

20 Durch Auswahl geeigneter MESI-Zustände kann die Anzahl benötigter MESI-Zustände möglichst gering gehalten werden. Bei einer möglichst geringen Anzahl von MESI-Zuständen ist eine möglichst geringe Anzahl von Kodierungsstellen bei der digitalen Kodierung der MESI-Zustände nötig. Der Hardwareaufwand
25 ist dadurch reduziert.

Nachfolgend wird die Erfindung anhand einer Zeichnung näher erläutert. Darin zeigen

- 30
- Figur 1 eine Prinzipschaltung eines großen Prozessorsystems gemäß dem Stand der Technik,
 - Figur 2 ein Zustandsübergangsdiagramm von MESI-Zuständen gemäß dem Stand der Technik,
 - 35 Figur 3 ein Zustandsübergangsdiagramm von erweiterten MESI-Zuständen gemäß der Erfindung, und

Figur 4 eine Tabelle mit Situationen, in denen bei einer Anwendung von erweiterten MESI-Zuständen gemäß der Figur 3 gegenüber einer Anwendung von MESI-Zuständen gemäß der Figur 2 Systemleistung eingespart und als Nutzleistung von einem Prozessorsystem gemäß der Figur 1 genutzt werden kann.

Die Figuren 1 bis 4 sollen helfen, den erfindungsgemäßen Sachverhalt darzustellen. Sie erheben keinen Anspruch auf Vollständigkeit. Insofern bezieht sich die nachfolgende Beschreibung auf eine mögliche Ausführungsform des Standes der Technik und der Erfindung.

Figur 1 zeigt zwei Gruppen mit jeweiligen Einzelprozessoren EP, die über jeweilige erste Busse BS1 mit jeweils einem zusätzlichen Cachespeicher CS verbunden sind. Die jeweiligen zusätzlichen Cachespeicher CS sind über einen gemeinsamen zweiten Bus BS2 mit einer Hauptspeicherkomponente MEM verbunden. Der zweite Bus BS2 kann auch als Cache- oder System-Bus bezeichnet werden. An den zweiten Bus BS2 können neben den zusätzlichen Cachespeichern können alle Arten von I/O- bzw. Verbindungssystemen zu weiterführenden Systemkomponenten angeschlossen sein. Im vorliegenden Ausführungsbeispiel sind zumindest zeichnerisch keine weiteren Systeme angeschlossen. So wie der zweite Bus BS2 als Cache- oder System-Bus bezeichnet werden kann, kann der erste Bus BS1 als Prozessor-Bus bezeichnet werden.

Das in der Figur 1 gezeigte Prozessorsystem ist hierarchisch aufgebaut. Aus der Sicht der zusätzlichen Cachespeicher CS sind in Richtung erste Busse BS1 niedrigere und in Richtung zweiter Bus BS2 höhere Hierarchiestufen angeordnet.

Die Verbindungen zwischen den Einzelprozessoren EP und dem jeweils zugehörigen ersten Bus BS1, zwischen den ersten Bussen BS1 und den jeweiligen zusätzlichen Cachespeichern CS, zwischen den zusätzlichen Cachespeichern CS und dem zweiten

Bus BS2, sowie zwischen dem zweiten Bus BS2 und der Hauptspeicherkomponente MEM sind jeweils bidirektional ausgebildet, so dass zwischen allen Komponenten in allen Richtungen Daten und Codes und sonstige benötigte Informationen übertragbar sind.

Die Einzelprozessoren EP haben intern und extern jeweils einen Cachespeicher, die in der Figur 1 nicht näher dargestellt sind. Die Cachehierarchie, die durch die beiden Cachespeicher eines Einzelprozessors EP zusammen gebildet wird, wird nachfolgend als Second Level Cachespeicher (SLC) bezeichnet. Soweit vom SLC gesprochen wird, ist darunter auch der zugehörige Einzelprozessor EP zu verstehen, der die beiden Cachespeicher steuert. Umgekehrt sind, soweit ein Einzelprozessor EP angesprochen ist, die beiden intern und extern zu dem Einzelprozessor EP gehörenden Cachespeicher angesprochen.

Die Kurzbezeichnung SLC ist in den Figuren 2 bis 4 verwendet. Demgegenüber sind die zusätzlichen Cachespeicher CS als Third Level Cachespeicher (TLC) bezeichnet. Die Kurzbezeichnung TLC ist ebenfalls in den Figuren 2 bis 4 verwendet. Die Kurzbezeichnung TLC wird nachfolgend wahlweise an Stelle des Begriffs "zusätzliche Cachespeicher CS" verwendet.

Anforderungen (Requests) zwischen den zusätzlichen Cachespeichern CS und den Einzelprozessoren EP sind als interne Anforderungen aufzufassen, während Anforderungen zwischen den zusätzlichen Cachespeichern CS und der Hauptspeicherkomponente MEM bzw. der am Cachespeicherbus BS2 ansonsten angekoppelten Komponenten, zum Beispiel I/O-Komponenten, als externe Anforderungen aufzufassen sind.

Befehle, die Anforderungen und deren Abarbeitung im Prozessorsystem initiieren und bei der Aufrechterhaltung der Cachekohärenz eine Rolle spielen, können zum Beispiel sein: PREFETCH, READSHARED (RDS), READEXCLUSIVE (RDE), READMODIFIED (RDM) und WRITE (WR). Diese Befehle verursachen Übergänge von

Zuständen, die betroffenen Cachedatenblöcke auf Grund eines nach dem MESI-Prinzip arbeitenden Cache-Protokolls zur Aufrechterhaltung der Cachekohärenz zugeordnet sind. Mögliche Zustandsübergangsdiagramme sind den Figuren 2 und 3 zu entnehmen.

Das in der Figur 2 gezeigte Zustandsübergangsdiagramm basiert darauf, dass das oben angesprochene Cache-Protokoll mit vier MESI-Zuständen arbeitet. Das in der Figur 3 gezeigte Zustandsübergangsdiagramm basiert darauf, dass das oben angesprochene Cache-Protokoll mit erweiterten MESI-Zuständen arbeitet. Im vorliegenden Fall arbeitet das Cache-Protokoll mit 8 MESI-Zuständen. Die Zustandsübergangsdiagramme der Figuren 2 und 3 sind aus der Sicht eines Speicherblocks eines zusätzlichen Cachespeichers CS zu sehen. Die Cachespeicher der Einzelprozessoren EP haben entsprechende Zustandsübergangsdiagramme.

Die nachfolgende Beschreibung bezieht sich auf die Figur 2.

Ausgehend von einem Zustand I eines betreffenden Cachespeicherblocks eines zusätzlichen Cachespeichers CS, der anzeigt, dass der Eintrag des betreffenden Cachespeicherblocks ungültig ist, führt ein an den zusätzlichen Cachespeicher CS gerichteter interner RDS-Befehl bezüglich diesen Cachespeicherblocks letztlich zu einem Zustandsübergang vom Zustand I zum Zustand S. Vorher wird aber der Eintrag, da der im zusätzlichen Cachespeicher CS vorliegende Eintrag ungültig ist, durch den zusätzlichen Cachespeicher CS aktualisiert. Dazu sind Nachfragen bei den anderen Cachespeichern nötig, um festzustellen, wo ein aktueller Eintrag zu finden ist. Dieser Vorgang wird nachfolgend auch als TLC-Command bezeichnet. Nach Abschluss des TLC-Commands steht der Eintrag als ein gemeinsam genutzter, gültiger Eintrag im zusätzlichen Cachespeicher CS. Entsprechendes gilt, wenn bei gleicher Ausgangslage anstelle des RDS-Befehls, unter der Voraussetzung, dass eine

solche Möglichkeit überhaupt gegeben ist, eine Prefetch-Anforderung durchgeführt wird.

- In den Kästen unterhalb des Zustandsübergangsdiagramms ist im linken Kasten eine Aufstellung der möglichen vier Zustände gezeigt. Daneben sind für den SLC die in den jeweiligen Fällen möglichen Zustände gezeigt. Es sind auch die für den TLC möglichen Zustände gezeigt. Da die Betrachtung von einem TLC ausgeht, stimmen diese Zustände mit den in der ersten Spalte des Kastens angegebenen Zustände überein. Wenn nachfolgend der Einfachheit halber auch nicht stets explizit angegeben, betreffen bei der Angabe von MESI-Zuständen jeweilige Cachespeicherblöcke in einem betreffenden Cachespeicher.
- Der ersten Zeile des angesprochenen Kastens ist zu entnehmen, dass bei einem Zustand I im TLC im SLC ebenfalls der Zustand I vorherrscht. Dies ist deshalb so, weil im vorliegenden Ausführungsbeispiel der TLC eine Obermenge zwar nicht unbedingt der tatsächlichen Einträge aber der Informationen über die Zustände der Einträge der angeschlossenen SLC hat. Dies hat zur Folge, dass im SLC stets nur gleiche bzw. niedrigwertigere Zustände auftreten. Umgekehrt gilt, dass der Zustand im TLC stets gleich oder höherwertiger ist, als der Zustand der SLC.
- Eine Ausnahme bildet der Zustand Exclusive, da dieser Zustand im wesentlichen nur dann sinnvoll ist, wenn zumindest beabsichtigt ist, den betreffenden Eintrag zu modifizieren. Da der TLC bei einer Exclusive-Anforderung nicht weiß, ob der angeforderte Eintrag tatsächlich modifiziert wird, hat er trotzdem davon auszugehen, dass der Eintrag modifiziert wird. Bei einer Exclusive-Anforderung kann daher der tatsächliche Zustand in einem SLC auch M sein. Dieser Umstand spielt keine Rolle, weil eine Modify-Anforderung letztlich eine Exclusive-Anforderung ist, lediglich mit der Bestimmtheit, dass der Eintrag modifiziert wird.

Ist ein Eintrag im TLC bereits als S markiert und ergeht an den TLC ein RDS-Befehl bezüglich dieses Eintrags, ändert sich der MESI-Zustand des Eintrags nicht. Auf der anderen Seite kann aber der Eintrag in einem SLC, nachdem er vom TLC geholt
5 worden ist, wieder verworfen werden. Eine Abstufung des MESI-Zustandes bezüglich dieses Eintrags im SLC durch den zugehörigen Einzelprozessor EP ist daher möglich. Dies spielt für den TLC keine Rolle, da der Eintrag selbst nicht verändert wurde und somit insgesamt noch Gültigkeit hat. Eine Veränderung
10 würde der TLC bemerken, weil dazu vorher der Eintrag durch den betreffenden Einzelprozessor in einen E- bzw. M-Zustand gebracht worden sein muss. Mit dem RDS- oder Prefetch-Befehl ist keine Berechtigung einer Modifizierung verbunden. Hinter dem Zustand S eines Eintrags im TLC kann daher
15 bezüglich dieses Eintrags im SLC, das heißt allgemein in niedrigeren Cachehierarchien tatsächlich einer der MESI-Zustände I oder S für einen betreffenden Eintrag stehen. Dieser Sachverhalt ist in dem oben angesprochenen unteren linken Kasten in der zweiten Zeile angegeben.

20 Dieses Prinzip gilt auch für die nachfolgenden Betrachtungen, weshalb dort nicht mehr stets in dieser Ausführlichkeit eingegangen wird.

25 Die Befehle RDE oder RDM fordern vom TLC einen Eintrag Exclusive an. Unabhängig davon, ob für den Eintrag vorher im TLC der Zustand I oder S vorgemerkt ist, wird nachfolgend der Eintrag im TLC als Zustand E markiert. Gemäß dem oben Gesagten kann im SLC für diesen Eintrag letztlich tatsächlich einer
30 der Zustände I, S, E oder M zugeordnet sein. Dieser Sachverhalt ist in dem unteren linken Kasten in der dritten Zeile angegeben.

Jeder der Befehle RDE oder RDM bewirkt ein TLC-Command, das
35 heißt ein Bus-Request, da der TLC vor der Übergabe des Eintrags dafür sorgen muss, dass ausgehend von dem betreffenden

TLC in den niedrigeren Cachehierarchien des Prozessorsystems dieser Eintrag mit dem Zustand I markiert wird.

- 5 Hat ein SLC einen Eintrag des TLC mit dem Befehl RDE oder RDM angefordert und dann modifiziert, hat er dafür zu sorgen, dass der modifizierte Eintrag wieder mit dem WR-Befehl in den TLC zurückgeschrieben wird. Der TLC markiert daraufhin den modifizierten Eintrag mit dem Zustand M.
- 10 Nach dem modifizieren des angeforderten Eintrags kann der anfordernde SLC den Eintrag modifiziert behalten und als solchen kennzeichnen. Er kann den Eintrag auch zurückschreiben und in Folge des Zurückschreibens den Zustand des Eintrags herabstufen und ihn nur noch zum Beispiel im Zustand E führen.
- 15 20 Sollte der Eintrag im SLC angefordert oder verdrängt werden, kann der Eintrag in entsprechender Weise entweder den Zustand S oder den Zustand I vom SLC zugewiesen bekommen. Dies ist möglich, weil der Zustand M vor den Zuständen E, S oder I in dieser Reihenfolge am höchstwertigen ist. Der vorstehende Sachverhalt ist in dem in der Figur 2 unten links angegebenen Kasten in der vierten Zeile angegeben.

- Ergeht an den TLC ein RDS-, RDE- oder WR-Befehl bezüglich des betreffenden Cachespeicherblocks mit dem Zustand M, wird der Zustand zu diesem Eintrag im TLC nicht verändert. Ergeht an den TLC ein RDM-Befehl, kann in einer vorteilhaften Ausführungsform der Erfindung der Zustand zum betreffenden Eintrag an Stelle des Vermerks M der Vermerk E geführt werden. Dies hat den Vorteil, dass in manchen Fällen der Cachespeicherblock nicht in unnötiger Weise gelesen wird. Wird ein Cachespeicherblock von einem in einer niedrigeren Cachehierarchie angeordneten Einzelprozessor EP mit RDM angefordert, weiß der TLC, dass der Cachespeicherblock tatsächlich verändert wird. Diese Information ist Teil der RDM-Anforderung.
- 30 35 Würde der Cachespeicherblock nicht mit Sicherheit verändert werden, würde er mit dem RDE-Befehl angefordert werden. Mit anderen Worten, wird ein Cachespeicherblock mit einem RDM-Be-

fehl angefordert, hat letztlich der anfordernde Einzelprozessor bzw. der zugehörige SLC die neuesten Daten Exclusive. Wird dieser Sachverhalt gleich als solcher Vermerkt, werden die Daten bei einem Zugriff auf diese Daten nicht erst im TLC
5 gesucht, sondern sofort mit einem entsprechenden Zeitgewinn in einem angeschlossenen SLC.

In der Figur 2 ist unten rechts ein zweiter Kasten gezeichnet, in dem die oben angesprochenen Befehle nochmals aufgeführt sind. Neben den Befehlen stehen wesentliche Aktionen,
10 die bei diesen Befehlen bezüglich des TLC bzw. SLC ausgehend von möglichen unterschiedlichen Ausgangszuständen eines betreffenden Cachespeicherblocks durchgeführt werden. Gleicher Kasten mit gleicher Bedeutung ist auch unter dem Zustands-
15 übergangsdiagramm der Figur 3 gezeichnet.

In der Figur 3 ist ein gegenüber dem Zustandsdiagramm der Figur 2 erweitertes Zustandsübergangsdiagramm zu sehen. Das Zustandsübergangsdiagramm gemäß der Figur 3 hat die erweiterten
20 Zustände SI, ES, MI und MS. Die Zustände II, SS, EM und MM gehen in der angegebenen Reihenfolge von den Zuständen I, S, E und M des Zustandsübergangsdiagramms der Figur 2 aus.

Der erste Buchstabe einer Zustandsbezeichnung bezieht sich
25 auf den Zustand im TLC, während sich der zweite Buchstabe auf den Zustand im SLC bzw. in einer niedrigeren Cachehierarchiestufe bezieht.

Im Ausführungsbeispiel ist als Eintrag für die Zustandsbeschreibung eines Cachespeicherblocks an Stelle des Eintrags
30 EE der Eintrag EM gewählt, weil zum Beispiel ausgehend von den Zuständen SI bzw. SS bei Ankommen eines RDE-Befehls seitens eines Einzelprozessors EP an den TLC der TLC damit rechnen muss, dass wenn ein Einzelprozessor EP einen Cachespeicherblock Exclusive anfordert, er ihn möglicherweise auch mo-
35 difiziert. Da der TLC die Obermenge über die Zustandssitua-

tion im System zu behalten hat, trägt er sich die neue Situation als EM ein.

Im Falle, dass der betreffende Cachespeicherblock gleich mit
5 einem RDM-Befehl von einem Einzelprozessor EP angefordert wird, ist die Situation soweit klar, dass der angeforderte Cachespeicherblock modifiziert wird. Der Eintrag EM bezüglich des angeforderten Cachespeicherblocks ist daher folgerichtig.

10 Insgesamt wird mit dieser Methode eine Optimierung des Zustandsübergangsdiagramms erzielt, weil eine Zustandssituation nicht dargestellt werden muss, für deren datentechnische Codierung möglicherweise eine zusätzliche Bitstelle bereitgestellt werden muss. Acht Zustände lassen sich mit drei
15 Bitstellen kodieren. Bei neun und mehr Zuständen sind mehr als drei Bitstellen nötig.

Bei einer Exclusive-Anforderung (RDE-Befehl) eines Cachespeicherblocks durch einen Einzelprozessor EP ist es, wie
20 oben angesprochen nicht zwingend, dass der Cachespeicherblock modifiziert wird. Der anfordernde Einzelprozessor EP hat den betreffenden Cachespeicherblock Exclusive und kann letztlich alle möglichen Varianten der Behandlung durchführen. Er kann ihn beispielsweise an andere Stellen weitergeben oder ihn
25 verdrängen. Im ersten Fall hätte der TLC für den betreffenden Cachespeicherblock den Zustand ES reservieren müssen, im zweiten Fall als EI. Alle diese Fälle deckt der TLC mit der Zustandsbeschreibung EM ab, weil diese die Sicherheit gibt, dass bezüglich des betreffenden Cachespeicherblocks auf jeden
30 Fall dann erhalten wird, wenn er sich an den betreffenden Einzelprozessor EP wendet. Die vorgenannten Fälle sind in dem linken unteren Kasten der Figur 3 in Zeile fünf vermerkt.

Die Zeile 5 des linken unteren Kastens der Figur 3 entspricht
35 der Zeile 3 im linken unteren Kasten der Figur 2. Außerdem entsprechen in der angegebenen Reihenfolge die Zeilen 1, 3 und 8 des unteren linken Kastens der Figur 3 den Zeilen 1, 2

und 4 des linken unteren Kastens der Figur 2. Den Entsprechungen sind jeweils die oben erwähnten Prinzipien zu Grunde gelegt.

- 5 Da die Prinzipien, die dem Zustandsübergangsdiagramm der Figur 2 zu Grunde liegen, auch dem Zustandsübergangsdiagramm der Figur 3 zu Grunde liegen, beschränkt sich die Beschreibung des Zustandsübergangsdiagramms der Figur 3 im wesentlichen auf die Beschreibung der Unterschiede. Die einzelnen Zustandsübergänge und die Einnahme von Zuständen bei Vorliegen
10 entsprechender Befehle können der Figur 3 entnommen werden.

Gemäß des Zustandsübergangsdiagramms der Figur 3 gibt es bezüglich eines TLC zwei Shared-, zwei Exclusive- und drei Modified-Zustände. Bei Prefetch-Anforderungen ist beispielsweise klar, dass ein in den TLC geholter Eintrag nur im betreffenden TLC vorhanden ist. Für diese Situation trifft die Zustandsbeschreibung SI zu. Wird dieser Sonderfall, außer dem es noch andere geben kann, extra markiert, kann bei Anforderungen nach diesem Eintrag auf eine Anfrage auf anderen Ebenen verzichtet werden. Dadurch wird auf Seiten der ersten
20 Busse BS1 Kapazität frei, die für andere Bearbeitungen durch die Einzelprozessoren EP zur Leistungssteigerung des Prozessorsystems genutzt werden können.

25

Die Zustandssituation SI ist im linken unteren Kasten der Figur 3 in Zeile 2 notiert.

- Bei den Exclusive-Zuständen gibt es bezüglich der TLC den zusätzlichen Zustand ES. Dieser Zustand wird beispielsweise erhalten, wenn ein im TLC Exclusive vorliegender Eintrag von einem SLC Shared gelesen wird. In diesem Fall behält der TLC den Zustand E bei und vermerkt den Cachespeicherblock bei sich für den SLC als Zustand S. Der TLC weiß dann, dass der
30 Zustand im SLC tatsächlich nur S oder I sein kann. Der Zustand kann nicht M oder E sein, weil eine solche Berechtigungsanfrage nicht ergangen ist. Der Eintrag kann also auf
35

keinen Fall verändert sein. Der Vorteil durch dieses Wissen wird im Zusammenhang mit der Figur 4 näher erläutert.

Die möglichen Zustände für die SLC-Ebene sind im linken unteren Kasten der Figur 3 in Zeile 4 angegeben.

Neben der Zustandsbeschreibung MM sind die erweiterten Zustandssituationen MI und MS in der Figur 3 angegeben.

10 Hatte sich ein SLC einen Eintrag des TLC Exclusive geholt, modifiziert und dann mit dem WR-Befehl in den TLC zurückgeschrieben, dann nimmt der TLC für diesen Cachespeicherblock den Zustand MI ein. Der SLC hat den Eintrag verdrängt und ist dort nicht mehr gültig. In die gleiche Situation gelangt der
15 TLC, wenn er einen modifizierten Eintrag hatte, also für diesen Eintrag im Zustand MM war, und auf den Eintrag nochmals mit einem WR-Befehl geschrieben wird. Auch dann nimmt der TLC den Zustand MI ein. In diesem Zustand weiß der TLC, dass der betreffende Eintrag nicht mehr beispielsweise bei einem SLC
20 sein kann.

Diese Situation ist im linken unteren Kasten der Figur 3 in der Zeile 6 notiert.

25 Schließlich gibt es noch den erweiterten Zustand MS, der unabhängig davon auftritt, ob für einen SLC der Zustand I oder M eingetragen ist. Der Zustand MS tritt auf, wenn von einem SLC Shared gelesen wird. Wie oben schon mehrfach angesprochen, kann aber ein SLC nach einer entsprechenden Aktion einen logisch gesehen herabgesetzten Zustand verursachen, so
30 dass letztlich hinter der Zustandsbeschreibung MS für einen betreffenden SLC einer der Zustände I oder S stehen kann.

Dieser Sachverhalt ist im linken unteren Kasten der Figur 3
35 in Zeile 7 notiert.

Der Vorteil der erweiterten Cachezustände liegt darin, dass der TLC eine tiefere Kenntnis über die Zustandssituation innerhalb des Prozessorsystems hat, die es ihm ermöglicht, beispielsweise die an die Einzelprozessoren EP ge- richteten Anforderungen gezielter weiterzuleiten bzw. abzu- fangen. Letzteres kann erfolgen, weil die Anforderungen vom TLC selbst abgehandelt werden können. Die Auslastung der Pro- zessorseite wird dadurch verringert. Die Einzelprozessoren EP können verstärkt Aufgaben zur Steigerung der Wirkleistung des Prozessorsystems wahrnehmen.

10 In Figur 4 sind einige Fälle dargestellt, in welchen Einspa- rungen bezüglich von Anforderungen an die Prozessorseite mög- lich sind.

15 Als Beispiel sind zwei externe Befehle herangezogen worden. Unter einem externen Befehl ist, wie früher schon erwähnt, ein Befehl zu verstehen, der von der Systembusseite an den TLC gerichtet wird. Der eine externe Befehl ist ein RDS- und der andere ein RDE-Befehl.

20 In der Figur 4 ist in einem unteren Teil der Figur der Fall der erweiterten MESI-Zustände in einem oberen Teil der Figur der Fall der bisherigen vier MESI-Zustände gegenübergestellt.

25 Im Fall, dass ein Cachespeicherblock im TLC den Zustand I bzw. II hat, ist das Ergebnis in beiden Fällen das gleiche. In beiden Fällen sind keine Maßnahmen durchzuführen. In bei- den Fällen liegt ein sogenannter MISS-Fall vor, das heißt, es können keine Daten geliefert werden.

30 Ist der Zustand des vom RDS- bzw. RDE-Befehl betroffenen Ein- trags im TLC als S markiert, dann sind bei einem RDS-Befehl sowohl beim vierten als auch beim erweiterten Zustandsmodell keine Maßnahmen nötig, weil der Eintrag im TLC bereits S ist. Bezüglich des erweiterten Zustandsmodells macht es keinen Un-

35

terschied, ob tatsächlich der Zustand SI oder SS vorgelegen hat.

Beim RDE-Befehl ist beim vierer Zustandsmodell sowohl bezüglich des TLC als auch des SLC dafür zu sorgen, dass der dem betreffenden Cachespeicherblock zugewiesene Zustand von S nach I abgeändert wird. Der betreffende Cachespeicherblock ist dann Exclusive für an die Seite der Einzelprozessoren EP notwendig. Dies belastet den Prozessorbus, der deshalb für andere Aufgaben zeitweise nicht zur Verfügung steht.

Beim erweiterten Zustandsmodell ist bezüglich des RDE-Befehls nicht immer eine Anforderung an die Prozessorseite nötig. War zum Beispiel der vermerkte Zustand bezüglich des angeforderten Eintrags beim TLC SI, ist es nicht mehr nötig, vom TLC aus dafür zu sorgen, dass ein betreffender SLC seinen Zustandsvermerk zum betreffenden Cachespeicherblock in den Zustand I abändert. Der TLC weiß bereits, dass der betreffende Cachespeicherblock auf Seiten der Einzelprozessoren als I eingestuft ist. In diesem Fall wird also die Prozessorseite nicht mehr extra belastet. Letztlich steht dadurch mehr Prozessorleistung für andere Aufgaben zur Verfügung.

Ist der Zustand des vom RDS- bzw. RDE-Befehl betroffenen Eintrags im TLC E, ist es beim vierer Zustandsmodell und RDS-Befehl, bevor dafür gesorgt wird, dass ein betreffender Cachespeicherblock im TLC und in den niedrigeren Cachehierarchien den Zustand S zugewiesen bekommt, erforderlich, nachzusehen, ob nicht irgendwo im Prozessorsystem zwischenzeitlich neuere Daten zum betreffenden Cachespeicherblock vorliegen, da, wie oben schon erwähnt, ein als Exclusive angeforderter Cachespeicherblock später bei entsprechenden weiteren Aktionen durch die anfordernde Einheit in einen der Zustände M, E, S oder I gebracht werden konnte. Die Prozessorseite wird daher in diesem Fall nicht produktiv belastet.

Entsprechendes gilt beim RDE-Befehl mit dem Unterschied, dass die SLC-Einheiten dazu gebracht werden müssen, den betreffenden Cachespeicherblock mit dem Zustand I zu kennzeichnen. Auch hier wird die Prozessorseite unproduktiv belastet.

5

Mit dem erweiterten Zustandsmodell kann die Leistung des Prozessorsystems gesteigert werden, indem eine unproduktive Leistung eingespart wird. Hat beim erweiterten Zustandsmodell ein Cachespeicherblock den Zustand ES zugewiesen und erfolgt
10 bezüglich dieses Cachespeicherblocks ein externer RDS-Befehl, können weitere Veranlassungen seitens des TLC in Richtung niedrigere Cachehierarchien entfallen. Über die SLC ist bereits bekannt, dass der betreffende Cachespeicherblock dort schon im Zustand S geführt ist. Durch die Tatsache, dass der
15 betreffende Cachespeicherblock in den niedrigeren Cachehierarchien im Zustand S geführt ist, ist bekannt, dass in den niedrigeren Cachehierarchien keine Modifizierung bezüglich des betreffenden Cachespeicherblocks passiert ist. Es können also von Seiten der niedrigeren Cachehierarchien her keine
20 aktuelleren Daten geholt werden. Es braucht somit weder nachgeprüft werden, ob aktuellere Daten vorliegen, noch muss dafür gesorgt werden, dass eine Änderung der Zustandskennzeichnung erfolgt.

25 Ausgehend von der Zustandskennzeichnung ES beim TLC und einem vorliegenden externen RDE-Befehl ist, da, wie oben beschrieben, bekannt ist, dass keine neueren Daten vorliegen können, lediglich dafür zu sorgen, dass der Cachespeicherblock in den niedrigeren Cachehierarchien mit I gekennzeichnet wird. Dafür
30 ist nur eine einfache Anforderung an die Seite der niedrigeren Cachehierarchien erforderlich. Insgesamt ist die unproduktive Leistung des Prozessorsystems geringer, als wenn, wie im vierer Zustandsmodell, noch zusätzlich vorher nachgeprüft werden muss, ob möglicherweise noch neuere Daten vorliegen.

35

Besonders deutlich wird das Einsparungspotential in dem Fall, in dem im TLC Cachespeicherblöcke im Zustand M geführt sind.

Bezüglich des vierer Zustandsmodells, bei dem keine tiefergehende Unterteilung des Modified-Zustands getroffen ist, gilt sowohl für den RDS- als auch für den RDE-Befehl, dass stets alle Maßnahmen getroffen werden müssen, um entweder zu prüfen, ob nicht noch neuere Daten existieren, bevor dann veranlasst wird, dass der betreffende Cachespeicherblock mit dem Zustand S bzw. I gekennzeichnet wird.

Das erweiterte Zustandsmodell läßt eine Differenzierung des Modified-Zustands zu. Im vorliegenden Ausführungsbeispiel ist der Modified-Zustand in die Zustände MI, MS und MM unterteilt. Im Falle, dass ein externer RDS-Befehl an den TLC gerichtet wird, kann in den Fällen MI und MS in Analogie zum früher Gesagten jegliche Anforderung an die Seite niedrigere Cachehierarchien entfallen. Bei Vorliegen eines RDE-Befehls kann braucht zumindest nicht nachgeprüft werden, ob neuere Daten existieren. Es genügen einfache Anforderungen in Richtung niedrigere Cachehierarchien, durch die dafür gesorgt wird, dass in den niedrigeren Cachehierarchien die Zustandskennzeichnung zum betreffenden Cachespeicherblock in I abgeändert wird.

In der Figur 4 sind die Positionen, bei denen Maßnahmen gar nicht oder nur eingeschränkt notwendig sind, mit einem Ausrufezeichen gekennzeichnet. In Bezug auf diese Positionen können unproduktive Belastungen des Prozessorsystems eingespart werden.

Patentansprüche

1. Einrichtung zur Erhöhung der Leistungsfähigkeit von Prozessorsystemen bestehend aus einer großen Zahl von Einzelprozessoren und mehreren Cachespeichern, die zur Aufrechterhaltung von Cachekohärenz untereinander für die Verarbeitung eines nach einem MESI-Standard arbeitenden Cache-Protokolls ausgelegt sind, dadurch gekennzeichnet, dass das nach dem MESI-Standard arbeitende Cache-Protokoll in der Weise konfiguriert ist, dass bei der Anzeige von MESI-Zuständen wenigstens zum Teil eine Mehrfachanzeige gegeben ist in der Weise, dass wenigstens jeweils sowohl der MESI-Zustand eines betreffenden Cachespeichers (CS) als auch der MESI-Zustand eines daran angeschalteten Einzelprozessors (EP) beziehungsweise eines daran angeschalteten anderen Cache-Speichers (CS) angezeigt ist.
2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, dass das Prozessorsystem Einzelprozessoren (EP) hat, die wenigstens zum Teil zugehörige erste bzw. erste und zweite Cachespeicher haben, und dass das Prozessorsystem zusätzliche Cachespeicher (CS) hat, die wenigstens in einer ersten Hierarchiestufe angeordnet sind und an die einzeln oder gruppenweise, rein oder gemischt Einzelprozessoren (EP) bzw. weitere zusätzliche Cachespeicher (CS) angeschaltet sind.
3. Einrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass durch die Mehrfachanzeige MESI-Zustandskombinationen wie II, SI, SS, EM, ES, MI, MS oder MM angezeigt sind.

1/3

FIG 1

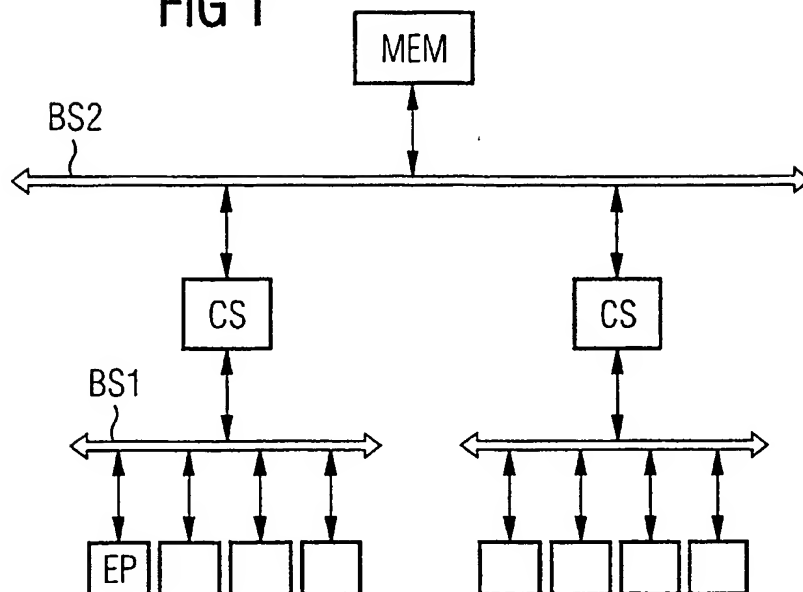
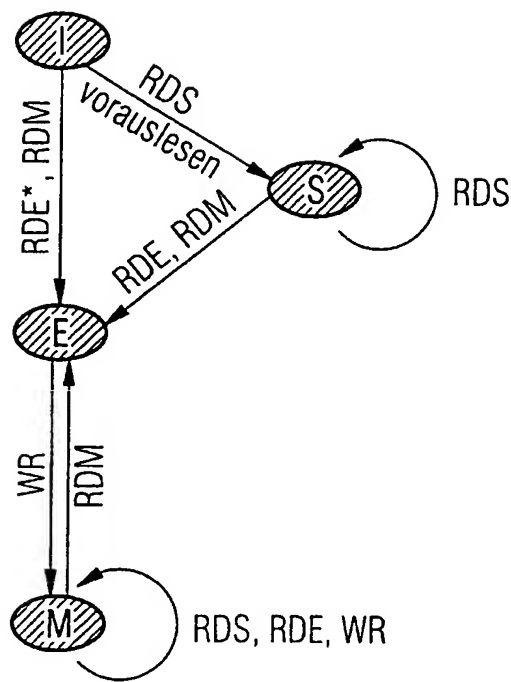


FIG 4

Zustand	extern RDS		extern RDE	
	TLC	SLC	TLC	SLC
I	-	-	-	-
S	-	-	ungültig	ungültig
E	Aufgeteilt	Aufgeteilt	ungültig	ungültig
M	Aufgeteilt	Aufgeteilt	ungültig	ungültig
II	-	-	-	-
SI	-	-	ungültig	(!)
SS	-	-	ungültig	ungültig
ES	Aufgeteilt	(!)	ungültig	ungültig(!)
EM	Aufgeteilt	Aufgeteilt	ungültig	ungültig
MI	Aufgeteilt	(!)	ungültig	(!)
MS	Aufgeteilt	(!)	ungültig	ungültig(!)
MM	Aufgeteilt	Aufgeteilt	ungültig	ungültig

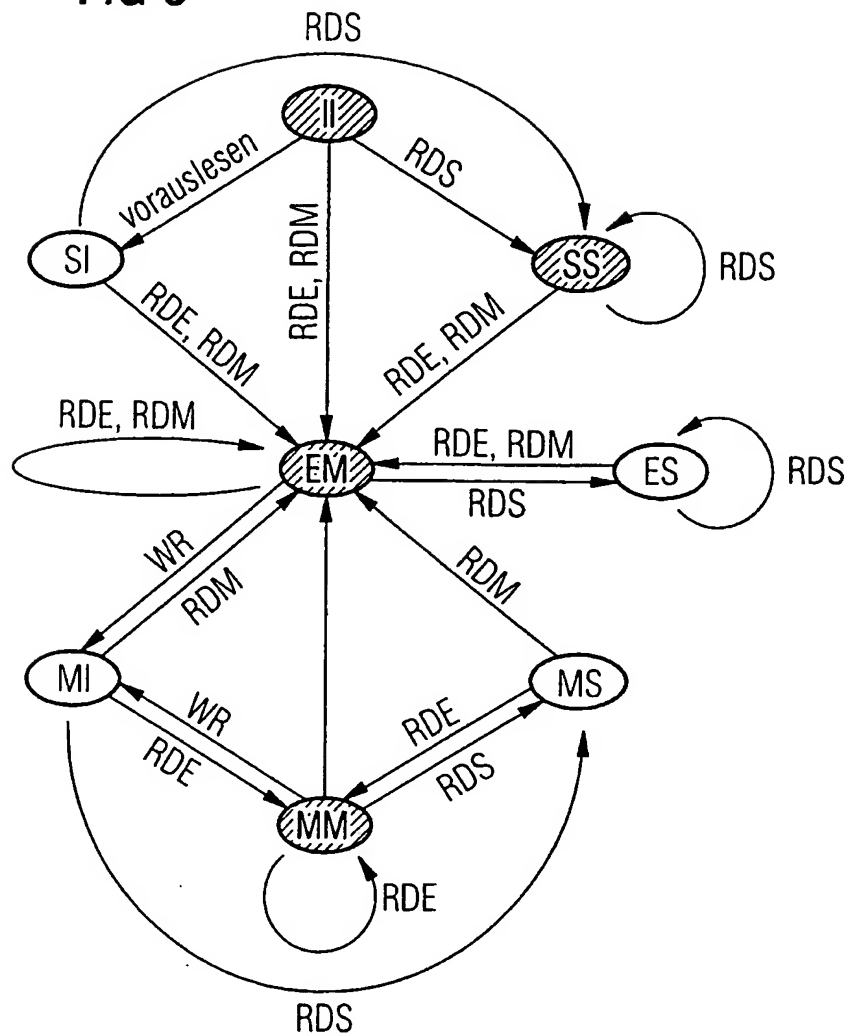
FIG 2



Zustand	TLC-Zustand	SLC-Zustand	Cmd	Aktion
I	I	I	vorauslesen	TLC: I => S
S	S	I, S	RDS	SLC: I => S
E	E	I, S, E, M	RDE	SLC: I, S => E
			RDM	SLC: I, S => M
M	M	I, S, E, M	WR	SLC: M => I

3/3

FIG 3



Zustand	TLC-Zustand	SLC-Zustand	Cmd	Aktion
II	I	I	vorauslesen	TLC: I => S
SI	S	I	RDS	SLC: I => S
SS	S	I, S	RDE	SLC: I, S => E
ES	E	I, S	RDM	SLC; I, S => M
EM	E	I, S, E, M	WR	SLC: M => I
MI	M	I		
MS	M	I, S		TLC-Befehl notwendig
MM	M	I, S, E, M		

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/00285

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G06F12/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 715 428 A (WANG WEN-HANN ET AL) 3 February 1998 (1998-02-03) column 5, line 13 -column 7, line 17; figures 2,3	1,2
A	WO 97 27543 A (UNISYS CORP) 31 July 1997 (1997-07-31) abstract; figure 1	1,2

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

26 May 2000

Date of mailing of the international search report

06/06/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Ledrut, P

INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/DE 00/00285

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5715428 A	03-02-1998	NONE	
WO 9727543 A	31-07-1997	US 5813034 A EP 0976046 A	22-09-1998 02-02-2000

Form PCT/ISA/210 (patent family annex) (July 1992)

INTERNATIONALER RECHERCHENBERICHT

Inter nationale Aktenzeichen

PCT/DE 00/00285

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G06F12/08

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 715 428 A (WANG WEN-HANN ET AL) 3. Februar 1998 (1998-02-03) Spalte 5, Zeile 13 -Spalte 7, Zeile 17; Abbildungen 2,3	1,2
A	WO 97 27543 A (UNISYS CORP) 31. Juli 1997 (1997-07-31) Zusammenfassung; Abbildung 1	1,2



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindnerischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindnerischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. Mai 2000

Abenddatum des internationalen Recherchenberichts

06/06/2000

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Ledrut, P

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/00285

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5715428 A	03-02-1998	KEINE	
WO 9727543 A	31-07-1997	US 5813034 A EP 0976046 A	22-09-1998 02-02-2000

Formblatt PCTISA/210 (Anhang Patentfamilie)(Juli 1992)

THIS PAGE BLANK (USPTO)